



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0049463
Application Number

출원 년 월 일 : 2003년 07월 18일
Date of Application JUL 18, 2003

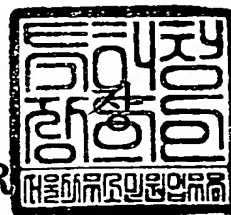
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 11 월 14 일

특 허 청

COMMISSIONER





1020030049463

출력 일자: 2003/11/20

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【창조번호】	0073
【제출일자】	2003.07.18
【발명의 명칭】	반도체 소자의 인덕터 형성 방법
【발명의 영문명칭】	Method of forming an inductor in a semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	표성규
【성명의 영문표기】	PY0,Sung Gyu
【주민등록번호】	670220-1067121
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천2동 신정마을 203동 206호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	1 면 1,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	11 항 461,000 원
【합계】	491,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 RE-MEMS를 이용한 3차원 인덕터 형성 방법에 관한 것으로, 소정의 제 1 금속층 패턴을 형성한 후 구리층을 도금하여 에어갭 브리지를 형성하고, 그 상부에 소정의 제 2 금속층 패턴을 형성한 후 구리층을 도금하여 인덕터를 형성한 후 제 1 및 제 2 금속층 패턴을 제거하여 3차원 인덕터를 형성함으로써 확산 방지막 및 시드층 형성 공정이 필요없어 공정을 단순화시킬 수 있으며, 다마신 공정을 이용한 인덕터 형성 공정에서의 식각의 어려움을 극복하고, 큰 단차로 인한 CMP 공정의 어려움을 극복할 수 있으며, 첨가제를 첨가하지 않는 도금 용액을 이용하여 구리 능동 소자의 성능을 더욱 향상시킬 수 있는 반도체 소자의 인덕터 형성 방법이 제시된다.

【대표도】

도 2e

【색인어】

RE-MEMS, 3차원 인덕터, 금속층, 구리층

【명세서】

【발명의 명칭】

반도체 소자의 인덕터 형성 방법{Method of forming an inductor in a semiconductor device}

【도면의 간단한 설명】

도 1(a) 내지 도 1(c)는 종래의 반도체 소자의 인덕터 형성 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.

도 2(a) 내지 도 2(e)는 본 발명에 따른 반도체 소자의 인덕터 형성 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

21 : 반도체 기판 22 : 제 1 금속층

23 : 제 1 구리층 24 : 제 2 금속층

25 : 제 2 구리층

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 소자의 인덕터 형성 방법에 관한 것으로, 특히 소정의 제 1 금속층 패턴을 형성한 후 구리층을 도금하여 에어갭 브리지를 형성하고, 그 상부에 소정의 제 2 금속층 패턴을 형성한 후 구리층을 도금하여 구리층으로 인덕터를 형성한 후 제 1 및 제 2 금속층 패턴을 제거하여 3차원 인덕터를 형성함으로써 확산 방지막 및 시드층 형성 공정이 필요없이 공정을 단순화시킬 수 있는 반도체 소자의 인덕터 형성 방법에 관한 것이다.

<8> 범 세계적으로 가속화되는 국제기술 경쟁이 국가간의 제휴가 강화되면서 국가기술이 국가간의 비즈니스의 중심에 서는 경쟁력이 된다는 것은 주지의 사실로서 패러다임의 변화를 통해 기술 선진국에서는 기술 경쟁력의 독보적인 존재로 부각하기 위하여 기술 개발을 더욱 가속화하고 있는 실정이다. 반도체가 20세기의 혁명을 몰고 온 것처럼 MEMS(Micro ElectroMechanical System) 기술은 21세기 정보 통신 및 생명공학/의학 분야에 혁명을 일으킬 기술로 대두되고 있다. MEMS는 마이크로 시스템, 마이크로 머신, 마이크로 메카트로닉스 등으로 혼용되며, 초소형 시스템이나 초소형 정밀기계를 의미하고, 작은 전기/기계 소자를 통칭하는 용어로 정의된다. MEMS 소자가 작동하는 영역에서는 기존의 매크로(macro)한 세계에서 작동되는 설계 규칙이나 동작 원리가 그대로 적용되지 않는 기존의 상식을 뒤집는 새로운 개념이나 원리가 가능하다.

<9> 이미 주지한 바와 같이 20세기에는 기술만의 혁명과 독립된 분야의 발전이 이루어졌지만, 21세기 들어서는 각 산업 분야의 기술의 고유 영역을 파괴하고, 다른 분야의 협조가 불가피하게 되었다. 다시말해 기술끼리 퓨전(fusion)이 되어 새로운 기술을 탄생시키고, 더욱이 기술만의 발전이 아니라 인간과 환경을 고려한 휴머니즘적인 기술발전을 요구하게 되었다. 이러한 요구는 MEMS 기술의 특성인 전자전기 분야(반도체, 디스플레이 분야), 기계 분야, 그리고 소형화 분야, 바이오 분야의 기술이 어울어진 인간 친화적인 기술(Human-Friendly Technology)이므로 21세기 산업적인 요구를 충족시킨다. 이렇듯 MEMS를 연구하는 분야는 복합적으로, 제어계측공학, 의공학, 항공공학, 정밀공학, 생물공학, 기계설계공학, 재료공학 기술이 접목되어 개발되고 있다. 그리고, MEMS는 일반적으로 기계적 특성과 전기/전자적 특성을 가진 시스템을 의미했으나 현재에는 광학적/화학적/유체적/생물학적 특성을 가지기도 한다. 또한, MEMS는 반도체 및 디스플레이 공정에 근거를 두어 실현화한 기술로 그 크기는 mm 이하, 최고 nm 이하의 구조품이다. 마이크로 가공은 마이크로 단위를 중요시하는 기계적 요소와 극소형 기계 장치의 제작 기술은 마이크로 일렉트로닉 디바이스 제조 기술에 기계 장치내의 물체의 이동 또는 진동을 위한 공간이 필요하며, 3차원적인 공간을 구현하기 위한 동정이 더욱 중요하다. 그 가공방법으로는 몸체가공법(bulk micro machining), 표면가공법(surface micro machining), 구조적인 다양성과 3차원 구조를 위한 LIGA(Lithographic Galvanotomizing, Additive Manufacturing)(사진, 인쇄술, 전기도금, 주형법)등이 있다. MEMS 기술은 복합기술이고, 이로 인한 시스템온칩(System on Chip; SoC)의 등장은 제조제품을 만들어 시장을 형성하는 것이 아닌 클라이언트가 필요한 어플리케이션(application)을 설정하고, 그에 맞게 시스템을 구현하여 그 구성 요소의 기술들을 복합시켜 나가게 되어, 다양한 기술을 혼합시킬 수도 있고 라이프 사이클(life cycle)이 점차 짧아지는 미래의 시장 흐름에 신속히 대응할 수 있게 되었다. 이러한 기술 개발은 지적재산권이 필수적

이며, IP 파급 효과는 훨씬 증가된다고 하겠다. 미국의 경우 IBM이 가장 많은 출원을 하고 있으며, Univ. of California와 Texas Instrument가 그 뒤를 따르고 있다. 대부분의 원천특허는 미국, 일본, 독일이 70% 이상을 차지하고 있다.

<10> MEMS 기술은 다양한 기술의 통합에서 비롯되는 기술이고, IP가 필수적인 산업이므로. 국가적인 차원의 연구와 독려가 필수적이다. 일본 통산부는 1991년부터 10년동안 250억엔을 들여 산업과학기술 프론티어 프로그램을 시작했고, 미국에서는 최근 10여년전부터 미국과학재단(NSF)에서 지속적으로 MEMS 연구를 진행하여 왔다. 유럽에서는 유럽공동체의 공동투자를 계획하고 매년 미화 5000만불에서 2억불까지의 경비를 MEMS 기술 개발에 투자하고 있다. 다양한 MEMS 분야중 RF-MEMS 3차원 인덕터 형성 기술은 MEMS 기술을 이용한 반도체 디바이스 적용에 가장 상용화가 먼저 진행될 분야로 관심이 집중되고 있다.

<11> 정보통신 분야의 패러다임 변화에 따라서 시간과 장소에 구애받지 않는 통신방식의 요구가 증대되고 있고, 무선이동통신 분야는 이러한 요구에 가장 적합한 분야로 급속한 발전이 이루어지고 있다. 무선통신의 발달에 따라서 고주파 자원이 필요하게 되었고, 고주파에서 동작하는 재료, 소자 및 회로의 요구가 증대되고 있으며, 이러한 것들은 주파수가 높은 영역에서 사용되므로 RF(Radio Frequency) 부품 및 IC로 분류되고 있다.

<12> CMOS는 실리콘 재료를 이용한 상보성 금속산화막 반도체로서 미세 가공 기술이 발전함에 따라서 좋은 주파수 특성을 얻고 있는 소자이다. 실리콘을 기반으로 하므로 잘 개발된 공정기술을 그대로 이용하여 저가격화된 칩을 제작할 수 있을 뿐만 아니라 SoC의 경우 시스템의 중간 주파수 밴드, 디지털 부까지 집적화할 수 있어서 단일 칩화하는데는 가장 적합한 기술고 부상되어 있다. Bi-CMOS는 바이폴라(Bipolar) 소자와 CMOS 소자를 실리콘 기판위에 동시에 구현한

것으로 바이폴라 소자 재료를 실리콘에서 SiGe 재료로 사용하면 바이폴라와 CMOS 소자의 장점만을 취할 수 있는 소자기술로서 잘 정립된 실리콘 반도체 기술에 SiGe 기술을 더하여 고기능화와 저가격화를 꾀할 수 있다.

<13> RF IC에 실리콘 CMOS 기술을 구현하기 위한 필수적인 소자가 인덕터이다. 그러나, 스탠다드 로직(standard logic) 공정을 이용해서는 RF IC에서 요구되는 Q(Quality Factor: 충실도)를 얻을 수 없으며, 높은 충실도를 확보하기 위해서는 금속 배선에서 발생하는 기생저항 성분을 줄이는 것과 실리콘 기판으로 통하는 와상 전류(eddy current) 및 전치 전류(displacement current)의 손실을 줄여야 한다. 한편, 인덕터로 사용되는 금속의 두께를 표준 공정에서 적용하는 두께보다 높여서 저항을 낮추거나 구리와 같은 저저항 금속을 사용하여 충실도를 높일 수 있다. 또한, 구조적으로 사각형보다는 원형 구조가 유리하고, 금속 배선 간격은 좁은 것이 유리하고, 인덕터의 중심을 비워두는 것이 유리하다. 대략적으로 인덕터의 중심부를 비워두는 지름은 전체 인덕터 지름의 1/3 정도가 적절하다고 알려져 있다. 그런데, 인덕터를 형성하기 위한 금속의 두께가 두꺼워지면 두께 증가로 인한 기생 캐패시턴스의 증가는 작아지지만, 기생저항 성분이 크게 작아지는 것에 기인하며, 금속 두께에 따른 인덕턴스의 변화는 거의 없다. 또한, 인덕터의 턴(turn)수가 많아짐에 따라 인덕턴스는 증가되지만 충실도는 어느 이상의 감은수(보통 5.5) 이상에서는 오히려 감소한다. 즉, 감은수 증가에 따른 인덕턴스의 증가분보다 기생 저항과 기생 캐패시턴스가 증가되어 충실도가 감소하는 것이다. 또한 5층 이상의 CMOS 공정에서 금속층을 적층하여 인덕터 저항을 줄여서 충실도를 증가시킬 수도 있다, 이 기술을 이용하면 RF 회로에서 사용되는 대부분의 인덕턴스($\sim 10\text{nH}$ 미만)를 본드 패드(bond pad) 크기 미만으로 구현할 수 있게 된다. 그러나, 이 경우 금속층간의 캐패시턴스 증가로 인하여 공진 주파수가 낮아지는 단점이 있다. 인덕터의 충실도를 높이는 다른 방법은 실리콘 기판과의 기생

성분을 줄이는 것인데, 인덕터의 자기장(magnetic field)이 변함에 따라서 기판에 유도되는 와상 전류(eddy current)와 인덕터와 기판 사이에 존재하는 기생 캐패시터를 통하여 실리콘 기판으로 흐르는 전치 전류(displacement current)가 총실도의 주된 손실이다. 화합물 반도체에서 사용되는 GaAs 기판은 기판 자체의 저항률(resistivity)이 높은 반절연성(semi-insulating) 기판이기 때문에 기판과의 기생 성분에 대해서는 거의 문제가 되지 않지만, 실리콘 기판에서는 심각한 문제점에 해당된다. 이는 실리콘 기판을 통한 신호 전달로 인하여 동일 칩에서 디지털 회로(digital circuit)와 RF 회로(circuit)가 공존하기 어려운 상황이 발생할 수도 있다. 실리콘 기판과의 영향을 줄이는 방안으로는 고저항의 실리콘 기판이나 SOI(Silicon-On-Insulator) 구조의 기판을 사용하는 방법과 가드링을 사용하는 방법이 있다. SOI 웨이퍼는 저주파에서 효과가 크지만 1GHz 이상에서의 고주파 대역에서는 거의 효과가 없는 것으로 나타났는데, 이는 SOI 웨이퍼에서는 매립 산화막의 두께가 일반적으로 2000~5000 Å이기 때문에 고주파 대역까지 격리(isolation)시키기 위해 필요한 산화막 두께보다 작은 것에 기인한다. 딥 N-웰을 이용한 가드링이 효과적이지만, 시스템 레벨의 요구를 만족시키지 못하고 있다. 그리고, 인덕터를 상위 금속층으로 사용하여 실리콘 기판과의 거리를 늘려서 기생 캐패시턴스를 줄이거나, 필드 산화막 위에 형성시키면 필드 산화막 밑에 N-웰을 형성시켜 역바이어스를 가하는 방법등이 있다. 또한, 인덕터 아래에 그라운드층(ground layer)을 형성하여 기판과의 커플링을 차단하는 방법도 있는데, 그라운드층에 의한 인덕턴스의 감소를 방지하기 위해 여러 조각으로 패터닝하는 것을 PSG(patterned ground shield)라고 한다. PSG를 이용한 인덕터의 단점은 그라운드층과의 기생 캐패시턴스의 성분의 증가로 인한 공진 주파수가 감소하고 총실도값도 감소하게 된다는 것이다.

<14> 인덕터 설계의 가이드라인은 다음과 같다.

- <15> 첫째, 금속 배선 사이의 스페이스를 최소화하여야 한다. 이를 통하여 인덕터 공간을 최소화하고, 뮤추얼(mutual) 인덕턴스를 최대화하여 충실도를 높여야 한다.
- <16> 둘째, 인덕터는 상부 금속층에서 구현되어야 한다. 이는 기판으로의 기생 캐패시턴스를 최소화할 수 있기 때문이다.
- <17> 셋째, 가능한 넓고 두꺼운 금속 배선을 구현하여야 한다. 즉, 낮은 직렬 저항을 확보해야 한다. 그러나, 폭이 너무 커지면 인덕터 면적의 증가를 유발하고 이는 기생 캐패시턴스를 증가시키고 기판 손상을 증대시키기 때문에 적정 조건이 도출되어야 한다.
- <18> 네째, 공동(hollow)의 인덕터가 구현되어야 한다. 이를 통해 와상 전류(eddy current) 효과(네거티브 뮤추얼 커플링)을 감소시킬 수 있기 때문에 내경(inner diameter)이 금속 폭의 5배 이상은 되어야 한다.
- <19> 다섯째, 감은수가 증가하면 할수록 인덕터의 면적은 증가하고 저항 효과가 증가하여 기생 캐패시턴스 증가의 원인이 되어 충실도를 떨어뜨리는 원인이 되므로 감은수에 대한 적정 조건이 도출되어야 한다.
- <20> 이러한 요구들 이외에 디커플링(decoupling) 문제 때문에 인덕터 하부에 트렌치를 삽입하고 절연층의 두께를 증가시키거나 접지판을 삽입하는 연구도 진행되고 있다.
- <21> 이상은 인덕터에 대한 일반적인 사항에 대하여 기술하였고 현재 구리 배선에 적용하려는 인덕터 형성 방법을 도 1(a) 내지 도 1(c)를 이용하여 설명하면 다음과 같다.
- <22> 도 1(a) 내지 도 1(c)는 종래의 반도체 소자의 인덕터 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도이다.

- <23> 도 1(a)를 참조하면, 소정의 구조가 형성된 반도체 기판(11) 상부에 층간 절연막(12)을 형성한다. 층간 절연막(12)의 소정 영역을 식각하여 반도체 기판(11)의 소정 영역을 노출시키는 트렌치를 형성한다.
- <24> 도 1(b)를 참조하면, 전체 구조 상부에 확산 방지막(13) 및 시드층(14)을 형성한 후 트렌치가 매립되도록 전기도금법을 이용하여 구리층(15)을 형성한다. 이때, 전기도금법은 화학 촉매를 이용하여 실시할 수 있다.
- <25> 도 1(c)는 CMP 공정을 실시하여 구리층(15), 시드층(14) 및 확산 방지막(13)을 연마함으로써 인덕터가 형성된 상태의 단면도이다.
- <26> 상기와 같은 공정으로 인덕터를 형성하게 되면 다음과 같은 문제점을 발생하게 된다.
- <27> 첫째, 층간 절연막은 2~3 μm 이상이 두께로 형성되는데, 이렇게 두껍게 형성된 절연막을 식각하는 것은 현실적으로 큰 어려움이 따르며, 또한 웨이퍼 한장당 식각 시간이 매우 길어서 원가가 매우 많이 든다.
- <28> 둘째, 현재의 구리 배선 공정에 적용하고 있는 전기도금 공정을 이용할 경우 공정 원가가 매우 많이 들어가며, 등각 충전(conformal filling)으로 인한 인덕터 중앙부에 심 또는 보이드가 발생할 가능성이 높아서 공정의 안정성이 떨어진다. 또한, 과량의 첨가제가 들어가는 것도 피해야 할 선결 과제이다.

<29> 세제, 3~5 μ m 이상의 두리 도금막을 CMP하는 것은 더더욱 큰 난제이다. 즉, 매우 큰 단차와 두께를 갖는 구리막을 연마하는 시간이 너무 오래 걸려서 수율 및 원가에 심각한 영향을 미쳐서 디바이스 단가에 큰 상승을 초래하는 결과를 낳는다.

【발명이 이루고자 하는 기술적 과제】

<30> 본 발명의 목적은 소정의 제 1 금속층 패턴을 형성한 후 도금 공정을 이용한 구리층으로 에어갭 브리지를 형성하고, 그 상부에 소정의 제 2 금속층 패턴을 형성한 후 도금 공정을 이용한 구리층으로 인덕터를 형성한 후 제 1 및 제 2 금속층 패턴을 제거하여 RE-MEMS를 이용한 3차원 인덕터를 형성함으로써 다마신 공정을 이용한 인덕터 형성 공정에서의 식각의 어려움을 극복하고, 큰 단차로 인한 CMP 공정의 어려움을 극복할 수 있는 반도체 소자의 인덕터 형성 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<31> 본 발명의 실시 예에 따른 반도체 소자의 인덕터 형성 방법은 소정의 구조가 형성된 반도체 기판 상부에 제 1 금속층을 형성한 후 상기 반도체 기판의 소정 영역이 노출되도록 패터닝하는 단계와, 전체 구조 상부에 제 1 구리층을 형성한 후 연마하는 단계와, 전체 구조 상부에 제 2 금속층을 형성한 후 상기 제 1 금속층 및 상기 제 1 구리층의 소정 영역이 노출되도록 패터닝하는 단계와, 전체 구조 상부에 제 2 구리층을 형성한 후 연마하는 단계와, 상기 제 1 및 제 2 금속층을 제거하는 단계를 포함하여 이루어진 것을 특징으로 한다.

- <32> 본 발명의 다른 실시 예에 따른 반도체 소자의 인덕터 형성 방법은 소정의 구조가 형성된 반도체 기판 상부에 제 1 금속층을 형성한 후 상기 반도체 기판의 소정 영역이 노출되도록 패터닝하는 단계와, 전체 구조 상부에 제 1 알루미늄층을 형성한 후 연마하는 단계와, 전체 구조 상부에 제 2 금속층을 형성한 후 상기 제 1 금속층 및 상기 제 1 알루미늄층의 소정 영역이 노출되도록 패터닝하는 단계와, 전체 구조 상부에 제 2 알루미늄층을 형성한 후 연마하는 단계와, 상기 제 1 및 제 2 금속층을 제거하는 단계를 포함하여 이루어진 것을 특징으로 한다.
- <33> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써 본 발명을 상세히 설명한다.
- <34> 도 2(a) 내지 도 2(e)는 본 발명에 따른 RF-MEMS를 이용한 3차원 인덕터 형성 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도이다.
- <35> 도 2(a)를 참조하면, 소정의 구조, 예를들어 CMOS 소자가 형성된 반도체 기판(21) 상부에 제 1 금속층(22)을 형성한다. 그리고, 반도체 기판(21)의 소정 영역이 노출되도록 제 1 금속층(22)을 패터닝한다. 여기서, 제 1 금속층(22)은 이후 형성될 구리층과의 선택적 식각 특성을 나타내고 구리를 도금 공정으로 형성할 수 있는 모든 금속을 이용할 수 있는데, 예를들어 니켈(Ni), 코발트(Co), 티타늄(Ti), 알루미늄(Al), 텅스텐(W) 및 탄탈륨(Ta)을 이용할 수 있다. 한편, 제 1 금속층(22)은 증착 또는 도금 방법을 이용하여 형성하는데, CMOS 소자와 인덕터의 간격만큼의 두께, 예를들어 $100\text{\AA} \sim 500\mu\text{m}$ 의 두께로 형성한다.
- <36> 도 2(b)를 참조하면, 전체 구조 상부에 전기도금법 또는 무전해 도금법을 이용하여 제 1 구리층(23)을 형성한 후 CMP 공정으로 제 1 구리층(23)을 연마한다. 이에 의해 CMOS 소자와 인

덕터 사이에 에어갭 브리지(airgap bridge)가 형성된다. 여기서, 제 1 구리층(23)을 형성하기 위한 도금 공정은 서프레서(suppressor), 액셀러레이터(accelerator) 및 레벨러(leveler)등의 폴리머 성분의 첨가제가 필요없는 도금 용액을 이용한다. 또한, 전기도금법은 H_2SO_4 와 $CuSO_4$ 가 1:99~99:1의 비율로 혼합된 용액에 첨가제가 첨가되지 않은 도금 용액을 사용하여 실시한다. 한편, 이때 HCl도 이용되는데, HCl의 농도는 1~1000ppm으로 유지한다. 그리고, 첨가제가 첨가되지 않은 도금 용액을 이용한 전기도금법은 포워드(forward) DC 도금, 펄스-리버스(pulse-reverse) 도금, 펄스(pulse) 도금등을 이용할 수 있으며, 이들 방법들을 혼합한 다단계 도금 방법도 이용할 수 있다. 또한, 무전해 도금법을 이용하여 제 1 구리층(23)을 형성할 경우 표면 클리닝 및 활성화제(activation agent)를 첨가하는 공정이 추가될 수도 있다.

<37> 도 2(c)를 참조하면, 전체 구조 상부에 제 2 금속층(24)을 형성한다. 여기서, 제 2 금속층(24)은 인덕터의 두께를 고려하여 형성하며, 제 1 금속층(22)과 마찬가지로 구리층과의 선택적 식각 특성을 나타내고 구리를 도금 공정으로 형성할 수 있는 모든 금속, 예를들어 니켈(Ni), 코발트(Co), 티타늄(Ti), 알루미늄(Al), 텅스텐(W) 및 탄탈륨(Ta)을 이용하여 형성한다. 그리고, 원하는 인덕터의 감은수에 따라 하부의 제 1 금속층(22) 및 제 1 구리층(23)의 일부가 노출되도록 제 2 금속층(24)을 패터닝한다.

<38> 도 2(d)를 참조하면, 전체 구조 상부에 전기도금법 또는 무전해 도금법을 이용하여 제 2 구리층(25)을 형성한 후 CMP 공정으로 제 2 구리층(25)을 연마한다. 제 2 구리층(25)은 제 1 구리층(23)을 형성할 때와 같은 방법으로 형성한다.

<39> 도 2(e)를 참조하면, 제 1 및 제 2 금속층(22 및 24)을 제거하여 RF-MEMS 3차원 구조의 인덕터를 형성한다. 이때, 제 1 및 제 2 금속층(22 및 24)을 제거하기 이전에 어닐링 공정을

실시하는데, 어닐링 공정은 50~500℃의 온도에서 1분 내지 5시간동안 실시하며, 수소, 아르곤, 질소 또는 포밍 가스 분위기에서 실시한다.

<40> 상기에서 브리지나 인덕터를 형성하는 금속 물질로 구리를 이용하였으나, 알루미늄을 이용할 수도 있다. 또한, 본 실시 예에서는 RF-MEMS를 이용하여 3차원 인덕터를 형성하는 방법을 제시하였으나, 3차원이 아닌 다른 인덕터 구조가 적용되는 RF-CMOS 소자에도 적용된다. 그 방법은 3차원 인덕터 구조에서 에어 브리지를 형성하는 방법이 RF-CMOS 소자의 인덕터를 구현하는데 있어서도 적용된다.

【발명의 효과】

<41> 상술한 바와 같이 본 발명에 의하면 소정의 제 1 금속층 패턴을 형성한 후 도금 공정을 이용한 구리층으로 에어갭 브리지를 형성하고, 그 상부에 소정의 제 2 금속층 패턴을 형성한 후 도금 공정을 이용한 구리층으로 인덕터를 형성한 후 제 1 및 제 2 금속층 패턴을 제거하여 RF-MEMS를 이용한 3차원 인덕터를 형성함으로써 확산 방지막 및 시드층 형성 공정이 필요없어 공정을 단순화시킬 수 있으며, 다마신 공정을 이용한 인덕터 형성 공정에서의 식각의 어려움을 극복하고, 큰 단차로 인한 CMP 공정의 어려움을 극복할 수 있으며, 첨가제를 첨가하지 않는 도금 용액을 이용하여 구리 능동 소자의 성능을 더욱 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

소정의 구조가 형성된 반도체 기판 상부에 제 1 금속층을 형성한 후 상기 반도체 기판의 소정 영역이 노출되도록 패터닝하는 단계;

전체 구조 상부에 제 1 구리층을 형성한 후 연마하는 단계;

전체 구조 상부에 제 2 금속층을 형성한 후 상기 제 1 금속층 및 상기 제 1 구리층의 소정 영역이 노출되도록 패터닝하는 단계;

전체 구조 상부에 제 2 구리층을 형성한 후 연마하는 단계; 및

상기 제 1 및 제 2 금속층을 제거하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 인덕터 형성 방법.

【청구항 2】

제 1 항에 있어서, 상기 제 1 및 제 2 금속층은 니켈(Ni), 코발트(Co), 티타늄(Ti), 알루미늄(Al), 텅스텐(W) 및 탄탈륨(Ta)중 어느 하나인 것을 특징으로 하는 반도체 소자의 인덕터 형성 방법.

【청구항 3】

제 1 항에 있어서, 상기 제 1 및 제 2 구리층은 전기도금법 또는 무전해도금법을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 인덕터 형성 방법.

【청구항 4】

제 1 항에 있어서, 상기 제 1 및 제 2 구리층은 서프레서(suppressor), 액셀러레이터(accelerator) 또는 레벨러(leveler)등의 폴리머 성분의 첨가제가 필요없는 도금 용액을 이용한 도금 공정으로 형성하는 것을 특징으로 하는 반도체 소자의 인덕터 형성 방법.

【청구항 5】

제 3 항에 있어서, 상기 전기도금법은 H_2SO_4 와 $CuSO_4$ 가 1:99 내지 99:1의 비율로 혼합된 용액에 첨가제가 첨가되지 않은 도금 용액을 이용하여 실시하는 것을 특징으로 하는 반도체 소자의 인덕터 형성 방법.

【청구항 6】

제 3 항에 있어서, 상기 전기도금법은 HCl을 1 내지 1000ppm의 농도로 유지하여 실시하는 것을 특징으로 하는 반도체 소자의 인덕터 형성 방법.

【청구항 7】

제 5 항에 있어서, 상기 첨가제가 첨가되지 않은 도금 용액을 이용한 전기도금법은 포워드(forward) DC 도금, 펄스-리버스(pulse-reverse) 도금, 펄스(pulse) 도금등을 이용하거나, 이들 방법을 혼합한 다단계 도금 방법을 이용하여 실시하는 것을 특징으로 하는 반도체 소자의 인덕터 형성 방법.

【청구항 8】

제 3 항에 있어서, 상기 무전해 도금법은 표면 클리닝 및 활성화제를 첨가하는 공정을 더 포함하여 실시하는 것을 특징으로 하는 반도체 소자의 인덕터 형성 방법.

【청구항 9】

제 1 항에 있어서, 상기 제 1 및 제 2 금속층을 제거하기 이전에 어닐링 공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 인덕터 형성 방법.

【청구항 10】

제 9 항에 있어서, 상기 어닐링 공정은 50 내지 500℃의 온도에서 1분 내지 5시간동안 실시하며, 수소, 아르곤, 질소 또는 포밍 가스 분위기에서 실시하는 것을 특징으로 하는 반도체 소자의 인덕터 형성 방법.

【청구항 11】

소정의 구조가 형성된 반도체 기판 상부에 제 1 금속층을 형성한 후 상기 반도체 기판의 소정 영역이 노출되도록 패터닝하는 단계;

전체 구조 상부에 제 1 알루미늄층을 형성한 후 연마하는 단계;

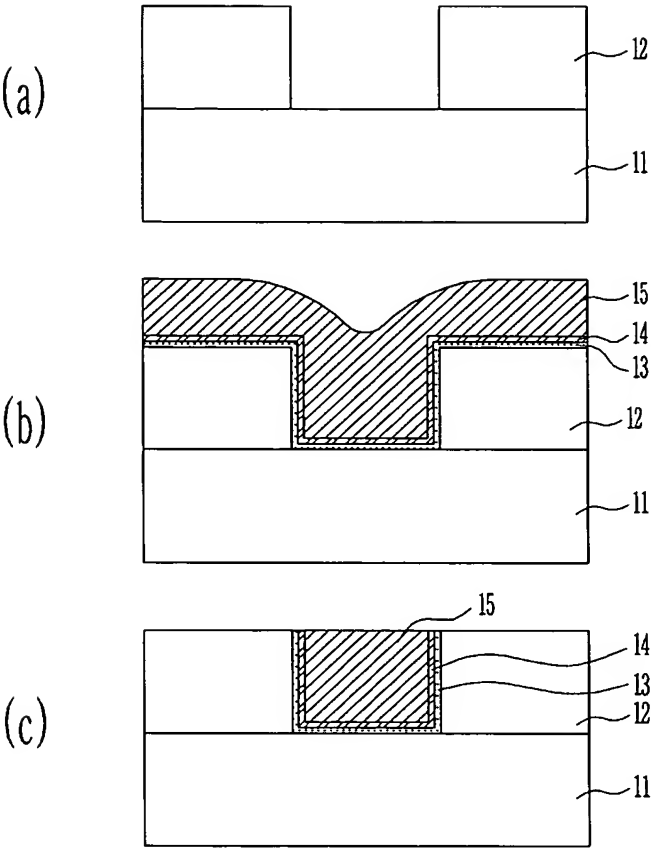
전체 구조 상부에 제 2 금속층을 형성한 후 상기 제 1 금속층 및 상기 제 1 알루미늄층의 소정 영역이 노출되도록 패터닝하는 단계;

전체 구조 상부에 제 2 일루미늄층을 형성한 후 연마하는 단계; 및

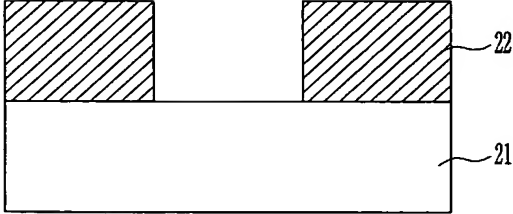
상기 제 1 및 제 2 금속층을 제거하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 인덕터 형성 방법.

【도면】

【도 1】



【도 2a】



【도 2b】

